

SEMICONDUCTOR ELEMENT AND MANUFACTURE THEREOF

Patent Number: JP9051079
Publication date: 1997-02-18
Inventor(s): YAMAUCHI SATOSHI;; TAKEHIRO SHINOBU
Applicant(s): OKI ELECTRIC IND CO LTD
Requested Patent: JP9051079
Application Number: JP19950202284 19950808
Priority Number(s):
IPC Classification: H01L27/108; H01L21/8242; H01L27/04; H01L21/822
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor element having excellent charge storage unit of a boundary between a lower electrode and a ferroelectric layer.

SOLUTION: The semiconductor element comprises a charge storage unit 27 having a lower electrode 17, a ferroelectric layer 24 and an upper electrode 26 on a substrate 11 containing Si element, wherein the lower electrode is formed by providing at least a Pt-Ti alloy layer, a Pt-Ta alloy layer or a Pt-Zr alloy layer.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-51079

(43) 公開日 平成9年(1997)2月18日

(51) IntCl.⁴H 0 1 L 27/108
21/8242
27/04
21/822

識別記号

庁内整理番号

F I

H 0 1 L 27/10
27/04

6 5 1

C

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号

特願平7-202284

(22) 出願日

平成7年(1995)8月8日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山内 智

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 竹廣 忍

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

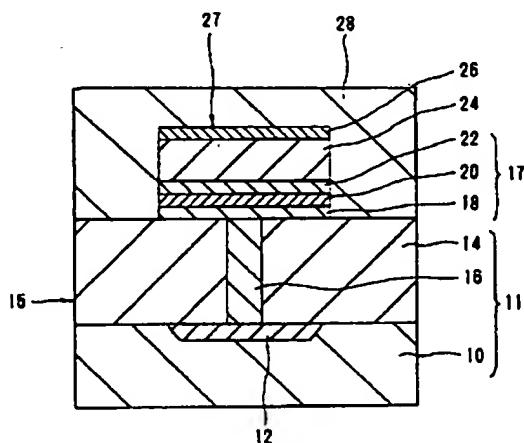
(74) 代理人 弁理士 大垣 孝

(54) 【発明の名称】 半導体素子およびその製造方法

(57) 【要約】

【課題】 下部電極と強誘電体層との界面の優れた電荷蓄積部を有する半導体素子を提供する。

【解決手段】 Si 元素を含む下地 11 上に下部電極 17、強誘電体層 24 および上部電極 26 で構成された電荷蓄積部 27 を具える半導体素子において、下部電極を少なくとも Pt-Ti 合金層、Pt-Ta 合金層または Pt-Zr 合金層を設けて構成する。



10: Si 基板 11: 下地 12: ストレージノード拡散層
 14: SiO₂ 層 15: ポリSi付きSiO₂ 層 28: SiO₂ 層
 16: ポリSi柱 (ポリSiプラグ) 17: 下部電極
 18: TiN 層 20: 白金系合金層 22: Pt 層
 24: 強誘電体層 (PZT 層) 26: 上部電極
 27: 電荷蓄積部

第1発明の半導体素子

【特許請求の範囲】

【請求項1】 シリコン元素を含む下地上に、下部電極、強誘電体層および上部電極で構成された電荷蓄積部を具える半導体素子において、

下部電極を少なくともPt-Ti合金層、Pt-Ta合金層またはPt-Zr合金層で構成してあることを特徴とする半導体素子。

【請求項2】 請求項1に記載の半導体素子を製造するに当たり、

下部電極の形成は、(a)下地上にチタン、タンタルまたはジルコニウムからなる第1金属層および白金層を順次形成する工程と、(b)非酸化雰囲気での熱処理により前記第1金属層を白金系合金層に変える工程と、

(c)該白金系合金層上に強誘電体層を形成する工程とを含む方法により形成することを特徴とする半導体素子の製造方法。

【請求項3】 請求項1に記載の半導体素子を製造するに当たり、

電荷蓄積部は、(a)下地上にチタンまたはジルコニウムからなる第1金属層を形成する工程と、(b)該第1金属層上に白金層を形成した後、該白金層を下部電極形状にエッチングして白金パターンを形成する工程と、

(c)前記白金パターンと対向する前記第1金属層部分を、非酸化雰囲気での熱処理により白金系合金層に変える工程と、(d)白金系合金層の形成が済んだ試料に対し熱酸化をして、前記第1金属層の前記白金パターンで覆われていない部分を金属酸化物層に変える工程と、

(e)前記白金パターンの表面および前記金属酸化物層上に強誘電体層を形成する工程とを含む方法により形成することを特徴とする半導体素子の製造方法。

【請求項4】 請求項2または3に記載の半導体素子の製造方法において、

前記強誘電体層を $Pb(Zr_{1-x}Ti_x)O_3$ 層、 $PbTiO_3$ 層、 $SrTiO_3$ 層または $(Ba_{1-y}Sr_y)TiO_3$ 層とすることを特徴とする半導体素子の製造方法。

【請求項5】 請求項2または3に記載の半導体素子の製造方法において、

下地として、シリコン基板と、その一部上に設けられたポリシリコンプラグと、該ポリシリコンプラグの周囲に設けられたIV族系金属酸化物層とを含む構造体を用い、

前記強誘電体層として、 $Pb(Zr_{1-x}Ti_x)O_3$ 層、 $PbTiO_3$ 層、 $SrTiO_3$ 層または $(Ba_{1-y}Sr_y)TiO_3$ 層を用いることを特徴とする半導体素子の製造方法。

【請求項6】 請求項5に記載の半導体素子の製造方法において、

前記IV族系金属酸化物層を酸化チタン(TiO_2)、酸化ジルコニウム(ZrO_2)または酸化ハフニウム

(HfO_2)の材料で形成することを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の属する技術分野】この発明は、半導体素子およびその製造方法に関するものである。

【0002】

【従来の技術】半導体メモリの高集積化に伴いその電荷蓄積部に高誘電率を有するキャパシタ絶縁膜を設ける研究が進展している。そのため、具体的な材料として結晶質酸化物誘電体であるチタン酸ジルコン酸鉛(PZT)とかチタン酸バリウムストロンチウム(BST)等が注目を集めている。結晶質酸化物誘電体層でキャパシタ絶縁膜を構成した電荷蓄積部における下部電極としては、結晶質酸化物誘電体に対し化学的に安定な白金電極が用いられる。また、この下部電極とSi基板に設けたトランジスタのソースまたはドレイン領域とを直接接続した場合、SiとPtとが反応してPtと結晶質酸化物誘電体層との界面に不純物酸化物(例えば SiO_2)を形成するので、結晶質酸化物誘電体層の特性を劣化させるという問題があった。このため、従来は、PtとSi基板との間には、バリア層としてTi層が用いられている。

【0003】

【発明が解決しようとする課題】しかしながら、バリア層として使用し得ると考えられたTi層の場合も、例えば文献I(Jpn. J. Appl. Phys. Vol. 33, 1994, pp. 5207~5210)にも開示されているように以下に述べる問題が生じることが、近年明らかになってきた。

【0004】白金層とポリSi層との間にチタン層を設けた場合、加熱処理によってTiとSiとが反応してTiSiが形成される。

【0005】更に、ポリSi中のSiが白金層にまで拡散されるため、白金層中にPtSiが形成される。白金層にPtSiが形成されると、白金層の表面のSiが酸素(O_2)と反応してシリコン酸化(SiO_2)膜を形成する。このため、半導体素子を動作させ、結晶質酸化物誘電体層(以下、強誘電体層という。)中に電荷を蓄積させる場合、強誘電体層よりも誘電率の小さい SiO_2 膜に電荷が蓄積され、半導体素子を動作させた場合、 SiO_2 膜に電荷が蓄積されて電荷量が減少するため、誤動作の原因となる。

【0006】また、白金層と強誘電体層との界面に SiO_2 膜が形成されると、界面の整合性も劣化するという問題がある。

【0007】また、白金層とポリSi層との間にチタン層を設けた場合、白金層の膜厚を薄くすることが出来なかった。その理由としては、酸素雰囲気中で加熱処理を行う際、白金層の厚さが薄いとこの白金層中に酸素が拡散してその下層のTi層と反応しTi O_2 層を形成す

る。この TiO_x 層は低誘電率を有しているため、半導体素子を動作させたとき、電荷が強誘電体層に蓄積されずに TiO_x 層に蓄積されるため、半導体素子特性を劣化させる原因となる。

【0008】このような問題を解決するため、従来は文献II(Extended Abstracts of the 1993 International Conference on Solid State Devices and Materials, 1993, pp. 871~873)で開示されているように、白金(Pt)層を約200nm程度の厚い膜厚とし、この白金層の下面にTi層を設けてSiの拡散を防止したり、強誘電体層を形成するときの温度を出来るだけ低温に設定したりして、ポリSi中のSiがPt層の表面まで拡散しないような方法が講じられていた。しかし、Pt層の膜厚を厚くすればそれだけコスト高となり、また、Pt中から放出された α 線の影響を受けて、強誘電体層に蓄積された電荷の放出が大きくなりソフトエラーの問題が発生する。

【0009】

【課題を解決するための手段】そこで、第1発明によれば、シリコン元素を含む下地上に、下部電極、強誘電体層および上部電極で構成された電荷蓄積部を具える半導体素子において、下部電極を少なくともPt-Ti合金層、Pt-Zr合金層またはPt-Ta合金層で構成してあることを特徴とする。

【0010】また、第2発明によれば、第1発明の半導体素子を製造するに当たり、下部電極の形成は、下地上にチタン、タンタルまたはジルコニウムからなる第1金属層および白金層を順次形成する工程と、非酸化雰囲気での熱処理により第1金属層を白金系合金層に変える工程と白金系合金層上に強誘電体層を形成する工程とを含む方法により形成することを特徴とする。

【0011】また、第3発明によれば、電荷蓄積部の形成を次の工程を含む方法により行うことを特徴とする。

【0012】(a) 下地上にチタンまたはジルコニウムからなる第1金属層を形成する工程。

(b) この第1金属層上に白金層を形成した後、白金層を下部電極形状にエッチングして白金パターンを形成する工程。

【0013】(c) 白金パターンと対向する第1金属層部分を、非酸化雰囲気での熱処理により白金系合金層に変える工程。

【0014】(d) 白金系合金層の形成が済んだ試料に対し熱酸化をして露出している第1金属層を金属酸化物層に変える工程。

【0015】(e) 白金パターンの表面および金属酸化物層上に強誘電体層を形成する工程。

【0016】また、第4発明によれば、第2および第3発明を実施するに当たり、下地として、シリコン基板

と、その一部上に設けられたポリシリコンプラグと、このポリシリコンプラグの周囲に設けられたIV族系金属酸化物とを含む構造体を用い、強誘電体層として、 $Pb(Zr_{1-x}Ti_x)O_3$ 層、 $PbTiO_3$ 層、 $SrTiO_3$ 層または $(Ba_{1-y}Sr_y)TiO_3$ 層を用いることを特徴とする。

【0017】この第1発明によれば、下部電極を少なくとも白金-チタン(Pt-Ti)合金層、白金-タンタル(Pt-Ta)合金層または白金-ジルコニウム(Pt-Zr)合金層を用いて構成している。以下、白金-チタン(Pt-Ti)合金層、白金-タンタル(Pt-Ta)合金層または白金-ジルコニウム(Pt-Zr)合金層を白金系合金層という。このような、白金系合金層を具えているので、白金系合金層が形成された以降の熱処理に対し、白金系合金層がバリア層となる。従って、下部電極にこのバリア層としての白金系合金層が形成されているため、酸素雰囲気中の酸素の下地への拡散を防止でき、かつ下地のシリコン元素が下部電極の表面まで拡散するのを防止できる。

【0018】また、第2発明によれば、第1発明の半導体素子を製造する場合、下地上にチタン、タンタルまたはジルコニウムからなる第1金属層を形成した後、白金層を形成する。非酸化雰囲気での熱処理により第1金属層を白金系合金層(白金-チタン(Pt-Ti)合金、白金-タンタル(Pt-Ta)合金および白金-ジルコニウム(Pt-Zr)合金の中から選ばれた1種類の合金層)に変える。このような処理により、酸素雰囲気中で加熱処理が行われる前には既に白金系合金層が形成されることになる。このため、白金系合金層上に強誘電体層を形成することにより、白金系合金層が下地のSi元素が拡散するときのバリア層となるので、白金系合金層と誘電体層との界面の整合性が向上する。

【0019】また、非酸化雰囲気での熱処理によって第1金属層の金属元素も白金層の一部に拡散され白金系合金層を形成するので、白金層の膜厚も薄くできる。

【0020】また、第3発明によれば、熱酸化法により露出している第1金属層を金属酸化物層に変える。この第1金属層として、例えばチタン(Ti)またはジルコニウム(Zr)の金属を用いる場合であれば、 TiO_x または ZrO_x から成る金属酸化物層に変わる。この金属酸化物層および白金パターン上に強誘電体層($Pb(Zr_{1-x}Ti_x)O_3$ 層、 $SrTiO_3$ 層、 $PbTiO_3$ 層または $(Ba_{1-y}Sr_y)TiO_3$ 層)を形成する。このため、酸素雰囲気での熱処理を行っても金属酸化物層と強誘電体層の材質の結晶構造が近似しており、従って、強誘電体層に応力緩和が生じてクラックの発生が抑制される。

【0021】また、第4発明によれば、下地として、シリコン基板と、その一部上に設けられたポリシリコンプラグと、このポリシリコンプラグの周囲に設けられたI

V族系金属酸化物とを含む構造体を用い、強誘電体層として、 $Pb(Zr_{1-x}Ti_x)O_3$ 層、 $PbTiO_3$ 層、 $SrTiO_3$ 層または $(Ba_{1-y}Sr_y)TiO_3$ 層を用いる。このため、下地のIV族系金属酸化物層と、この下地の上面に形成される強誘電体層とがいずれも結晶質酸化物で形成されるため、酸素雰囲気での熱処理を行っても下地と強誘電体層の材質の結晶構造が近似しており、従って、強誘電体層に応力緩和が生じてクラックの発生を抑制する。

【0022】

【実施例】以下、図面を参照して、第1発明の半導体素子構造および第2～第4発明の製造方法について、DRAMの電荷蓄積部に適用した実施例につき説明する。尚、図1～図9は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるにすぎない。

【0023】1. 第1発明の半導体素子構造

1-1. 第1実施例

図1は、半導体素子の第1実施例の構造を説明するための断面図である。

【0024】DRAMは、トランジスタ部分(図示せず)と電荷蓄積部(キャパシタ部)27とから構成されている。しかし、図1では主に、電荷蓄積部を示し、トランジスタ部は省略してある。そして、この実施例では下地11と電荷蓄積部27と層間絶縁層28とによってDRAMの一部が構成されている。

【0025】下地11は、シリコン(Si)基板10とポリSiプラグ16を有するシリコン酸化層14とによって構成されている。尚、ここでは、ポリSiプラグ16をポリSi柱ともいう。

【0026】この第1実施例では、Si基板10として例えばp型導電性シリコン基板(以下、基板という。)を用いる。この基板10には、ストレージノード拡散層12を設けてある。この拡散層12を有する基板10上にポリSi付きシリコン酸化層15が設けてある。このポリSi付きシリコン酸化層15は、ポリSi柱16と、このポリSi柱16の周囲に設けられたシリコン酸化層14とによって構成されている。また、ストレージノード拡散層12とポリSi柱16とは電気的に接続されている。

【0027】また、第1実施例では、ポリSi付きシリコン酸化層15上に下部電極17、強誘電体層24および上部電極26をそれぞれ積層して設けてある。尚、ここでは、下部電極17は、窒化チタン(TiN)層18とPt-Ti合金層20と白金(Pt)層22との3層構造によって構成してある。第1実施例においてTiN層18を形成する理由は、周知技術である下部電極の金属(例えばPt)がポリSi柱16に拡散するのを抑制するためである(Extended Abstracts of the 1994 International

Conference on Solid State Devices and Materials, Yokohama, 1994, pp. 721~723参照)。

【0028】また、強誘電体層の材料として、チタン酸ジルコン酸鉛(PZT)、チタン酸ジルコン酸鉛ランタン(PLZT)またはチタン酸鉛(PTO)の中から選ばれた1種類の材料を用いる。ここでは、比較的取扱いが簡単なPZTを用いる。また、上部電極26の材料として、白金(Pt)を用いる。尚、第1実施例では、下部電極17、強誘電体層24および上部電極26を総称して電荷蓄積部27と称する。

【0029】更に、第1実施例では、電荷蓄積部27を含むポリSi付きシリコン酸化層15の表面全体を層間絶縁層28で覆っている。この層間絶縁層28の材料を SiO_2 とする。

【0030】1-2. 第2実施例

また、Pt-Ti合金層20の代わりにPt-Ta合金層を用いる。その他の構成は第1実施例(図1)と同様なので詳細な説明を省略する。

【0031】1-3. 第3実施例

また、Pt-Ti合金層20の代わりにPt-Zr合金層を用いる。その他の構成は第1実施例と同様なので詳細な説明を省略する。

【0032】2. 第2発明の製造方法

2-1. 第1実施例の製造方法

次に、第2発明第1実施例の半導体素子を製造する方法につき図2～3を参照して説明する。尚、図2の(A)～(C)および図3の(A)～(C)は、第1実施例の製造工程を説明するための断面図である。

【0033】まず、p型導電性Si基板(以下、基板という。)10にストレージノード拡散層12を形成する。

【0034】次に、この基板10上にシリコン酸化(SiO_2)層14を形成した後、当該 SiO_2 層14にコンタクトホールを形成する(図示せず)。このとき、コンタクトホールをストレージノード拡散層12に達するように貫通させるのが良い。次に、このコンタクトホールにポリSiを埋込んでポリSi柱16を形成する(図2の(A))。尚、ポリSi柱を有するシリコン酸化層14を、ここではポリSi付きシリコン酸化層15と称する。また、ポリSi付きシリコン酸化層15と基板10とを総称して下地11と称する。

【0035】次に、ポリSi付き SiO_2 層15上に反応性スパッタ法を用いて窒化チタン(TiN)層18を形成する。尚、この実施例では、反応性スパッタ法を用いたが、チタンの急速窒化(RTN)法を用いて窒化チタン層18を形成しても良い。

【0036】次に、スパッタリング法を用いてTiN層18上に第1金属層19を形成する(図2の(B))。

尚、この第1実施例では、第1金属層19にチタン(Ti)を用いているためTi層とも称する。このTi層19を形成する方法としてスパッタリング法の代わりに蒸着法を用いても良い。しかし、いずれの方法においても、Ti層19の成膜条件は室温(25℃)とする。尚、ここでは、Ti層19の膜厚を約100Å程度とする。しかし、ここでのTi層19の膜厚はこの実施例における好ましい値であり、膜厚は50~100Åの範囲であれば良い。

【0037】次に、Ti層19上に例えば蒸着法を用いて白金(Pt)層22を形成する(図2の(C))。

尚、この第1実施例では白金層22の膜厚を約500Åとする。

【0038】次に、非酸化雰囲気での熱処理を行ってTi層19を白金系合金層20に変える(図3の(A))。尚、この実施例では、Pt-Ti合金層を形成するときの熱処理条件を以下の通りとする。

【0039】雰囲気ガス：窒素(N₂)ガスまたはアルゴン(Ar)ガス

熱処理温度：600~800℃

処理時間：10~30分間

上述した熱処理を行うことにより、Ti層とPt層の一部が相互拡散されてTi層はPt-Ti合金層20に変わる。

【0040】次に、白金層22上に強誘電体層24を形成する。尚、この強誘電体層24の材料を例えばPb(Zr_{1-x}Ti_x)O₃、PbTiO₃、SrTiO₃または(Ba_{1-y}Sr_y)TiO₃などとする。尚、強誘電体層の材料に記載されているxおよびyは組成比を表す。また、強誘電体層24を形成する時には600~700℃程度の加熱温度が必要になる。

【0041】次に、蒸着法を用いてこの強誘電体層24上に上部電極26を形成する(図3の(B))。尚、ここでは上部電極26を白金(Pt)電極とする。

【0042】次に、任意好適な選択エッチング法を用いて白金層26、強誘電体層24、白金層22、Pt-Ti層20およびTiN層18の一部をエッチングして電荷蓄積部27を形成する。その後、電荷蓄積部27を覆うようにポリSi付きSiO₂層15の表面に層間絶縁層28を形成する(図3の(C))。このような工程を経て第1実施例の半導体素子が完成する。

【0043】図10の(A)および(B)は、Si基板の上にTiN層およびTi層を形成し、このTi層上に白金層(膜厚：約500Å)を形成した試料について白金層の表面粗さを原子間力顕微鏡により測定した図である。尚、図中、横軸には距離(nm)を取り、縦軸には表面粗さ(nm)を取って表している。また、(A)は、アニールなしの白金層の表面粗さを示し、(B)は窒素ガス中で約700℃のアニールを行ったときの表面粗さを示している。

【0044】図10の(A)および(B)の測定結果より理解できるように、アニールなしの場合、表面粗さ(凹凸の高低差)は1~2nmである。しかし、アニール(700℃、窒素ガス)を行った場合、表面粗さは30~40nmとなる。尚、図10の(B)は従来の半導体素子に相当する。

【0045】図10の(C)は、本願発明のようにTiN層とPt層との間に白金系合金(Pt-Ti合金、Pt-Ta合金またはPt-Zr合金)層を設け、アニール(700℃、窒素ガス)した場合の表面粗さを示す図である。

【0046】図10の(C)からも理解できるように、本発明の表面粗さは約5nmとなり、従来に比べPt層の表面粗さは、1/6~1/8になる。電荷蓄積部27の形成を行う際には、600~700℃の加熱温度が必要になるので、上述した表面粗さの測定結果より本願発明の半導体素子は、アニールによるPt層の表面の凹凸を小さくできる。従って、Pt層22上に強誘電体層24を形成した場合、Pt層22と強誘電体層24との界面の整合性が極めて良くなることが期待できる。

【0047】また、非酸化雰囲気でのアニール処理(600~800℃)を行うことによりTi層がPt層と拡散反応してPt-Ti合金層20を形成すると同時に、Ti層の元素が白金層22へも拡散するので、初期のPt層の膜厚よりも薄くなる。

【0048】また、下部電極にPt-Ti合金層20を設けてあるため、下地11からのSi元素のPt層22への拡散を防止できる。このため、Pt層22の膜厚を薄くできる。従って、Pt層22を薄くできる分、製品のコストダウンを図ることができる。また、Pt層22を薄膜化できるため、α線による強誘電体層の電荷放出が小さくなり、ソフトエラーを低減できる。また、Pt層22とTiN層18との間にTiNと同元素のTi層19を用いて成膜するため、成膜プロセスおよびエッチングプロセスの簡略化を図ることが出来る。

【0049】2-2. 第2実施例の製造方法

また、第2発明第2実施例の半導体素子を製造する方法につき説明する。

【0050】第2実施例では、TiN層18上にTi層19の代わりに、タンタル(Ta)層を形成する製造方法につき説明する。

【0051】まず、下地上にTiN層18を形成する。このTiN層18上にTa層を形成する。尚、Ta層を用いた場合、膜厚を約100Å程度とする。その後、Ta層上にPt層22を第1実施例と同様な成膜条件で形成する。

【0052】次に、第1実施例と同じ温度(600~800℃)で非酸化雰囲気での熱処理を行ってTa層を、Pt-Ta合金層に変える。このため、Ta層を第1実施例のTi層と同じ膜厚にした場合、第1実施例では合

金層がPt₂Ti合金となるのに対し第2実施例ではPt₂Ta合金となるので、組成比と膜厚の関係からPt層の膜厚をTi層を用いたときより2/3、すなわち1/1.5に出来る。

【0053】図11は、タンタル層を用いて熱処理を行ったときのX線回折分布曲線を測定したときのX線回折図である。この測定に用いた試料は、基板上にSiO₂層、Ta層および白金層を順次形成した後、窒素ガス雰囲気中で熱処理(700℃)を行う。この試料をX線回折装置により測定する。尚、図中、横軸に2θ(角度)を取り、縦軸にX線強度を取って示す。

【0054】図11から理解できるように、32度付近にTaがあらわれ、38度付近にPt₂Taが表れ、40度付近にPtが表れ、42度付近にPt₂Taが表れている。この測定結果からもPt₂Ta合金が形成されていることが確認できた。

【0055】しかし、このX線回折曲線では、Ta元素が表れているので、実際の成膜時には加熱温度および保持時間を制御してTa元素を含まないPt-Ta合金に変える必要がある。

【0056】2-3. 第3実施例の製造方法

次に、第2発明第3実施例の製造方法につき説明する。

【0057】第3実施例では、Pt層22とTiN層18との間にTi層の代わりに、ジルコニウム(Zr)層を形成する場合の製造方法である。

【0058】まず、下地11上にTiN層18を形成する。このTiN層18上にZr層を形成する。尚、Zr層の膜厚を約100Å程度とする。

【0059】次に、非酸化雰囲気での熱処理を行なう。尚、熱処理温度は、第1実施例と同じ温度(600~800℃)とする。このような熱処理によりZr層はPt₁₁Zr₉合金層が形成される。このため、Zr層を既に説明したTi層と同じ膜厚にしても、Tiに比べてZrの拡散が遅いのでPt層に拡散して行く原子が減少する。このため、Pt層の膜厚をTi層を用いた時より薄くできる。第3実施例では、Pt層の膜厚を第1実施例より1/1.6に出来る。

【0060】2-4. 第4実施例の製造方法

また、第2発明第1、第2および第3実施例の製造方法では、Pt層22とTiN層18との間にTi層、Ta層またはZr層をそれぞれ形成したが、第4実施例ではTi層、Ta層またはZr層の代わりに、スパッタ法を用いてTiN層18上に直接白金系合金層(Pt-Ti層、Pt-Ta層またはPt-Zr層)を形成する。この場合、スパッタ装置のターゲットとしてPtとTiの合金ターゲットを用いる。尚、Taを用いる場合、PtとTaの合金ターゲットを用い、Zrを用いる場合、PtとZrの合金ターゲットを用いる。

【0061】第4実施例では、第1~第3実施例のように熱処理工程を必要としないため、製造工程の簡略化を

図ることができるという利点がある。

【0062】3. 第3発明の製造方法

次に、図4を参照して、第3発明の製造方法につき説明する。この第3発明の製造方法の説明に先立ち、初めに第3発明の実施例の構造につき説明しておく。図4は、第3発明の半導体素子構造を説明するための断面図である。

【0063】この実施例の半導体素子では、下地11は既に説明した第1発明第1実施例の構造と同様である。

【0064】また、ポリSi付きSiO₂層15上に下部電極17を設けた構造も第1実施例と同様である。この実施例では、TiN層18および白金系合金層20の側壁面とシリコン酸化層14にわたってこれらの面上に第1層間絶縁層30を設ける。尚、この実施例では、第1層間絶縁層30の材料をTiO₂またはZrO₂とする。

【0065】更に、強誘電体層32上に上部電極34を設けてある。この上部電極34上に第2層間絶縁層36を設けてある。尚、強誘電体層32および上部電極34の材料は第1発明第1実施例の材料と同様とする。また、第2層間絶縁層の材料をSiO₂とする。

【0066】次に、図5~図8を参照して第3発明の実施例の製造方法につき説明する。

【0067】図5の(A)~(C)、図6の(A)~(B)、図7の(A)~(C)、図8の(A)~(B)は、第3発明の実施例の製造工程を説明するための断面図である。

【0068】Si基板10上にストレージノード拡散層12を形成し、この基板10上にポリSi付きシリコン酸化層15を形成する(図5の(A))。ポリSi付きシリコン酸化層15上にTiN層18を形成する(図5の(B))。ここまでの工程は上述した第1実施例の工程と同様である。このため、詳細な説明を省略する。この実施例では、TiN層18を任意好適な方法を用いてエッチングをし、TiNパターン18aを形成する。

【0069】次に、TiNパターン18aを含むポリSi付きシリコン酸化層15上にTiNパターンを覆うようにしてTi層19を形成する(図6の(A))。尚、ここではTi層19の膜厚を約100Åとする。

【0070】次に、例えば蒸着法を用いてTi層19上に白金層22を形成する(図6の(B))。尚、ここでは白金層22の膜厚を約500Åとする。

【0071】次に、エッチングにより白金層22をエッチングして白金パターン22aを形成する(図7の(A))。尚、このときの白金層パターン22aはTiNパターン18aの形状とほぼ同様な形状にするのが良い。

【0072】次に、図7の(A)の構造体を以下の条件の下で熱処理を行う。

【0073】炉内雰囲気ガス：窒素(N₂)ガスまたは

アルゴン (Ar) ガス

熱処理温度 : 600~800℃

熱処理時間 : 10~30分間

このような熱処理によりTi層19と白金パターン22aとは相互拡散してPt-Ti合金層20を形成する(図7の(B))。この熱処理によりTi層19上に白金パターン22aが積層している部分のTi層19は、Pt-Ti合金層20に変わるが、白金パターン22aに接していた以外のTi層19はそのままTi層として残存する。このとき、残存したTi層を19aの符号で表す。

【0074】次に、酸素雰囲気中で図7の(B)の構造体を熱酸化処理する。熱酸化処理の条件を以下の通りとする。

【0075】熱処理温度: 500~600℃

熱処理時間: 5~30分間

このような熱処理により白金パターンで覆われていない部分のTi層19aは、TiO_x層30に変わる(図7の(C))。

【0076】次に、白金パターン22aを含むTiO_x層30上に強誘電体層32を形成する(図8の(A))。尚、この実施例で用いる強誘電体層32の材料は既に説明した第1実施例の材料と同様な材料を用いる。

【0077】次に、例えば蒸着法を用いて強誘電体層32上に上部電極34を形成する。ここでは、第1実施例と同様の上部電極34を白金層とする。

【0078】次に、白金層34上に第2層間絶縁層36を形成する(図8の(B))。上述した工程を経てこの実施例の半導体素子が完成する。

【0079】この実施例では、強誘電体層32を形成する前に下部電極17(白金パターン22a/Pt-Ti合金層20/TiNパターン18a)を形成するので、第1発明第1実施例のような強誘電体層およびPt層のエッチングは必要がなくなる。このため、エッチングによる強誘電体層の損傷を低減できる。また、下地11のシリコン酸化層14と強誘電体層32との間にTiO_x層30が形成されているので、強誘電体層32に発生するクラックが低減する。強誘電体層のクラックが低減する理由は、第1層間絶縁層30は強誘電体層32の材料と結晶格子の構造が近似していること、またアニール処理によって強誘電体層に応力緩和が生じるためと考えられる。

【0080】上述した第3発明の実施例では、TiN層と白金層を挟む金属層にTi層を用いたが、Ti層の代わりにジルコン(Zr)層を用いても良い。Zr層を用いた場合は、第1層間絶縁層30はZrO_x層になる。

【0081】4. 第4発明の製造方法

次に、第4発明の製造方法の説明に先立ち、図9を参照して第4発明の半導体素子の構造につき説明する。

【0082】図9は、この実施例の半導体素子の構造を説明するための断面図である。

【0083】この実施例では、第1発明第1実施例の構造と相違する点は、下地11を構成しているシリコン酸化層14の代わりにIV族系酸化物層52を設けたところにある。その他の構成は第1発明の実施例の構成と同様である。従って、詳細な説明は省略する。

【0084】また、この実施例では、IV族系酸化物層52の材料として酸化チタン(TiO_x)、酸化ジルコニウム(ZrO_x)または酸化ハフニウム(HfO_x)を用いる。このような、酸化チタン(TiO_x)層、酸化ジルコニウム(ZrO_x)層または酸化ハフニウム(HfO_x)層を用いる。

【0085】次に、図9を参照して、第4発明の実施例の製造方法につき説明する。

【0086】この実施例では、Si基板10にストレージノード拡散層12を形成した後、このSi基板10上にTi層(図示せず)を形成する。

【0087】次に、熱酸化法を用いてTi層をTiO_x層52に変える。その後、TiO_x層52にコンタクトホールを形成する(図示せず)。

【0088】次に、コンタクトホールにポリSiを埋込んで所定の加熱を行ってポリSi柱16を形成する。

【0089】次工程以降の下部電極17、強誘電体層24、上部電極26および層間絶縁層28の形成方法は第1発明第1実施例と同様である。従って、ここでは詳細な説明を省略する。この実施例では、下地11の絶縁膜としてSiO₂層の代わりにTiO_x層を用い、このTiO_x層の上側に強誘電体層24を形成するので、強誘電体層中に発生するクラックを低減できる。強誘電体層のクラック低減の理由は、IV族系酸化物層の材料が強誘電体層の材料と結晶格子の構造が近似していること、また、アニールによる応力緩和が生じるためと考えられる。

【0090】また、第2、第3および第4発明において、下部電極に形成した第1金属層が白金層およびTiN層にも拡散するので、白金層とTiN層との密着性も良くなる。

【0091】

【発明の効果】上述した説明からも明らかなように、第1発明によれば、半導体素子で下部電極を少なくともPt-Ti合金層、Pt-Ta合金層またはPt-Zr合金層で構成してある。このため、合金層を含む試料に熱処理を施しても合金層がバリア層として働くので、下地のSi元素が白金層に拡散してくるのを防止できる。このため、半導体素子を動作させ強誘電体層へ電荷をチャージさせたり、出力させたりした場合、電荷が強誘電体層中に十分に供給されるので、半導体素子の動作が安定する。

【0092】また、第2発明によれば、半導体素子の製

造を行うとき、下地上にチタン、タンタルまたはジルコニウムからなる第1金属層および白金層を形成した後、非酸化雰囲気での熱処理を行って第1金属層を白金系合金層に変える。その後、白金系合金層上に強誘電体層を形成する。このため、下部電極を形成した後、各層を形成するための熱処理が行われても、合金層が下地のSiの拡散を防止するので、白金層へのSiの拡散は抑制される。このため、白金層の膜厚を薄くできる。白金層が薄くできる分、製品のコストダウンを図ることができ、また、Pt中から放出された α 線の影響を受けて強誘電体層に蓄積された電荷が放出する、いわゆる、ソフトエラーも低減できる。更に、白金層と強誘電体層との界面の整合性も良くなる。

【0093】また、第3発明によれば、半導体素子を製造するとき、下地上と強誘電体層との間に金属酸化物（酸化チタンまたは酸化ジルコニウム）層を設けている。このため、熱処理を行った際に、金属酸化物層と強誘電体層とは結晶格子の構造が近似しており、また強誘電体層の応力が緩和されて、強誘電体層に発生するクラックを低減できる。

【0094】また、第4発明によれば、半導体素子を製造するとき、下地に設けられたSi柱の周囲をIV族系金属酸化物層で形成した後、下地の上面に強誘電体層を形成するので、熱処理を行った際に、金属酸化物層と強誘電体層とは結晶格子の構造が近似しており、また強誘電体層の応力が緩和されて、強誘電体層に発生するクラックを低減できる。

【図面の簡単な説明】

【図1】第1発明の半導体素子の構造を説明するための断面図である。

【図2】(A)～(C)は、第2発明第1実施例の製造方法を説明するために供する工程図である。

【図3】(A)～(C)は、図2の工程に続く、製造方法を説明するために供する工程図である。

【図4】第3発明の半導体素子の構造を説明するための断面図である。

【図5】(A)～(C)は、第3発明の半導体素子の製造方法を説明するために供する工程図である。

【図6】(A)～(B)は、図5の工程に続く、製造方法を説明するために供する工程図である。

【図7】(A)～(C)は、図6の工程に続く、製造方法を説明するために供する工程図である。

【図8】(A)～(B)は、図7の工程に続く、製造方法を説明するために供する工程図である。

【図9】第4発明の半導体素子の構造を説明するための断面図である。

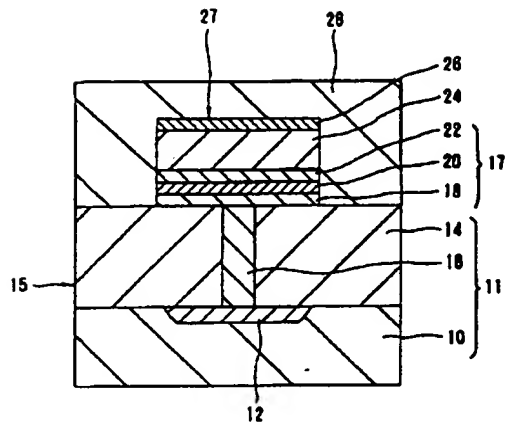
【図10】(A)～(C)は、アニール処理の有無による白金層の表面粗さを示す図である。

【図11】Pt-Ta合金のX線回折分布曲線を説明するための説明図である。

【符号の説明】

- 10: Si基板
- 11: 下地
- 12: ストレージノード拡散層
- 14: シリコン酸化層
- 15: ポリSi付きシリコン酸化層
- 16: ポリSiプラグ
- 17: 下部電極
- 18: TiN層
- 18a: TiNパターン
- 19: Ti層
- 20: 白金系合金層
- 22: 白金層
- 22a: 白金パターン
- 24: 強誘電体層
- 26: 上部電極
- 27: 電荷蓄積部
- 28: SiO₂層

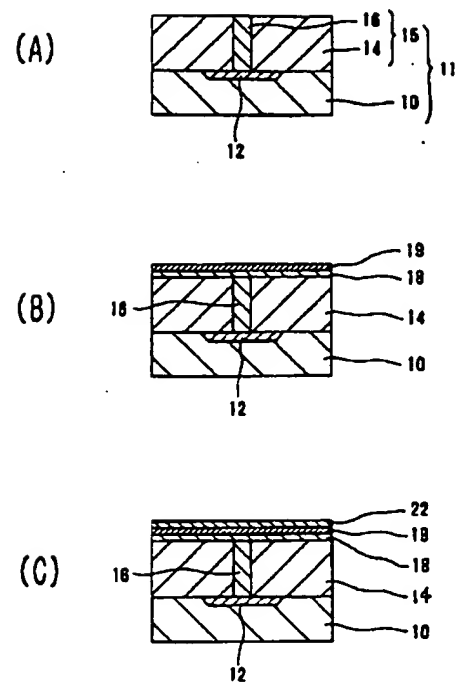
【図1】



10: Si基板 11: 下地 12: ストレージノード駆動層
 14: SiO₂層 15: ポリSi付きSiO₂層 28: SiO₂層
 18: ポリSi柱 (ポリSiプラグ) 17: 下部電極
 19: TiN層 20: 白金系合金層 22: Pt層
 24: 強誘電体層 (PZT層) 26: 上部電極
 27: 電荷蓄積部

第1発明の半導体素子

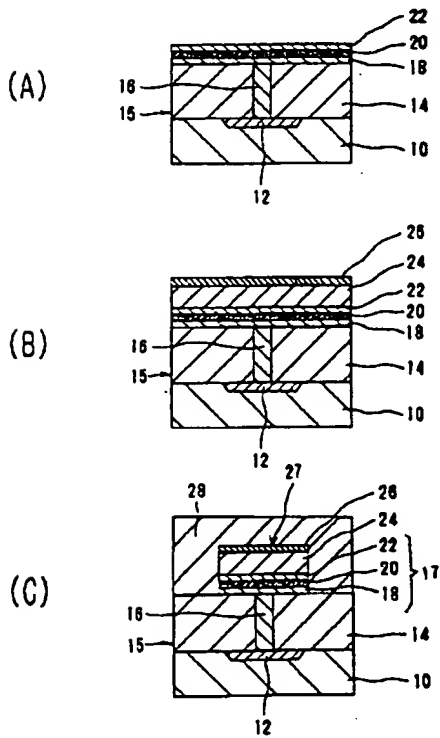
【図2】



19: Ti層

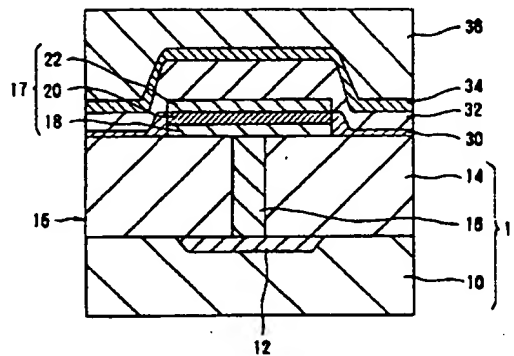
第2発明第1実施例の工程図

【図3】



第2発明第1実施例の工程図

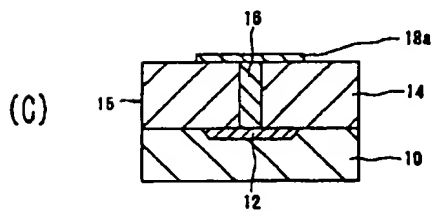
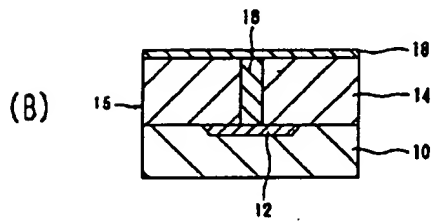
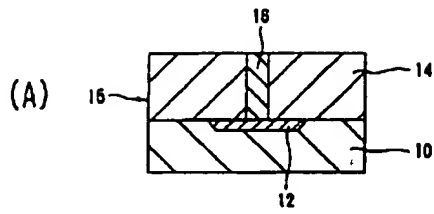
【図4】



30: 第1層間絶縁層 (TiO_x層又はZrO_x層) 32: 強誘電体層
 36: 第2層間絶縁層 (SiO₂層) 34: 上部電極

第3発明の半導体素子

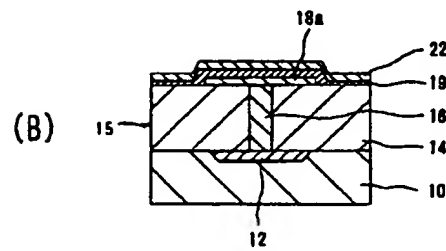
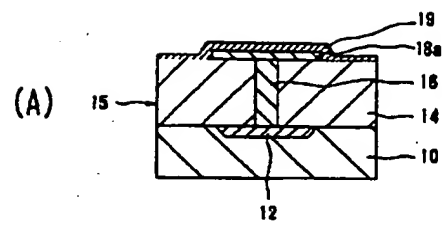
【図5】



18a: TiNパターン

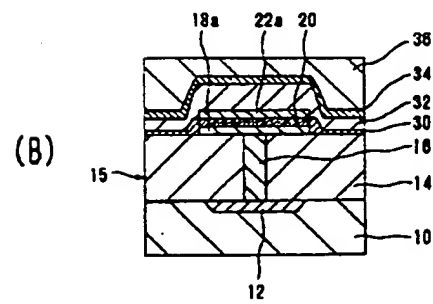
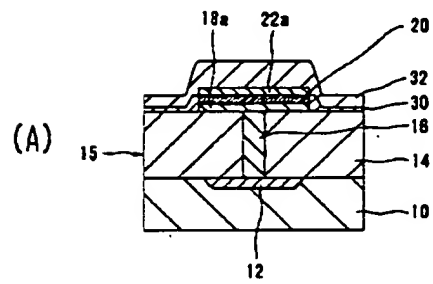
第3発明の工程図

【図6】



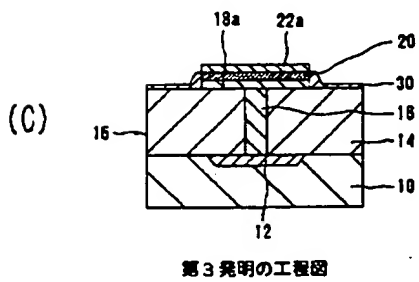
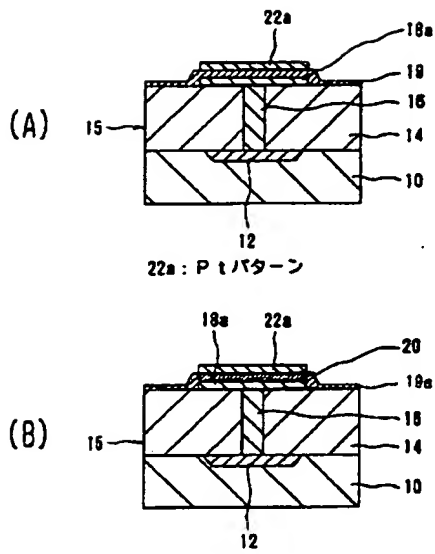
第3発明の工程図

【図8】

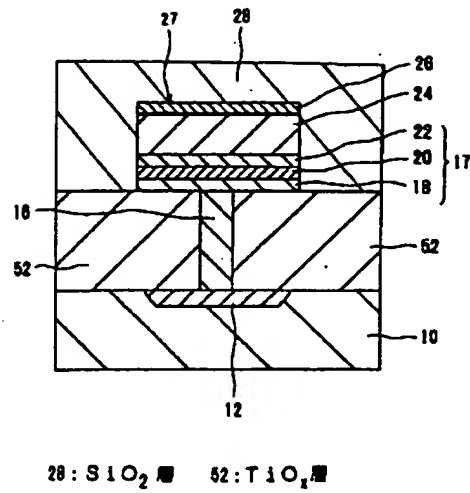


第3発明の工程図

【図7】

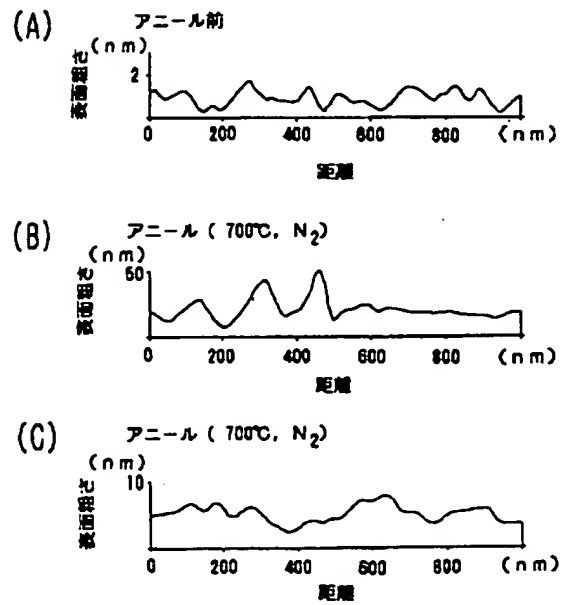


【図9】



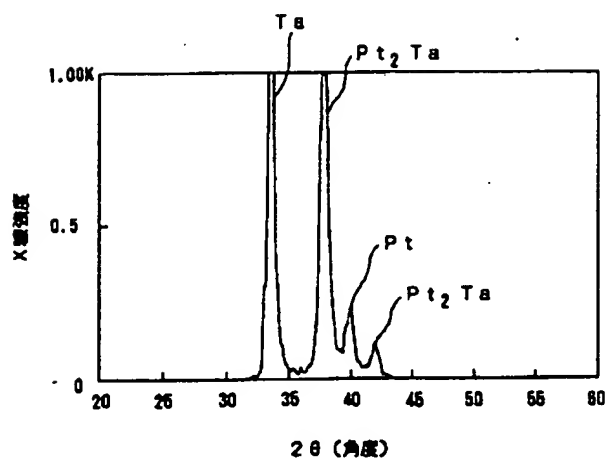
第4発明の半導体素子

【図10】



アニール有無による白金層表面粗さ

【図11】



Pt-Ta合金のX線回折パターン